

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
09/942751
08/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2000年 9月25日

出 願 番 号

Application Number:

特願2000-291171

出 願 人

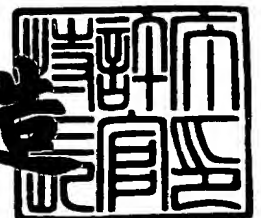
Applicant(s):

株式会社東芝

2001年 5月18日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3041486

【書類名】 特許願

【整理番号】 A000005471

【提出日】 平成12年 9月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/00

【発明の名称】 コンピュータシステムおよびそのレジューム処理方法

【請求項の数】 14

【発明者】

 【住所又は居所】 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

 【氏名】 森沢 俊一

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 コンピュータシステムおよびそのレジューム処理方法

【特許請求の範囲】

【請求項 1】 パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、前記パワーセーブモード直前の作業環境を復元するレジューム処理機能を有するコンピュータシステムにおいて、

前記レジューム処理は B I O S プログラムによって実行される第 1 のレジューム処理とオペレーティングシステムによって実行される第 2 のレジューム処理とを含み、

前記パワーセーブモードからのウェイクアップ時に、前記第 1 のレジューム処理の中で前記オペレーティングシステムの動作に必要なシステムコア部の状態を復元するための処理を、前記 B I O S プログラムに実行させる手段と、

前記システムコア部の状態を復元するための処理の完了にตอบสนองして、前記 B I O S プログラムから前記オペレーティングシステムに制御を移す手段と、

前記第 1 のレジューム処理の内の残りの処理と前記第 2 のレジューム処理とが並行して実行されるように、前記オペレーティングシステムが前記第 2 のレジューム処理を実行している期間中に割り込み処理を挿入し、その割り込み処理の中で前記 B I O S プログラムを実行させる割り込み制御手段とを具備することを特徴とするコンピュータシステム。

【請求項 2】 前記割り込み制御手段は、前記割り込み処理を挿入するための割り込み信号を所定のタイムインターバル毎に前記コンピュータシステムの C P U に発行する手段を含むことを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 3】 前記第 1 のレジューム処理の内の前記残りの処理は、前記コアユニット以外の他の複数のデバイスそれぞれを前記第 2 のレジューム処理の実行が可能な状態にするための前処理を含み、前記第 2 のレジューム処理は、前記前処理が完了した各デバイスを前記パワーセーブモード直前の状態に復元する処理を含むことを特徴とする請求項 1 記載のコンピュータシステム。

【請求項 4】 前記前処理が完了していないデバイスに対する前記第 2 のレ

ジューム処理の実行を禁止するため、前記各デバイス毎に前記前処理が完了されているか否かを前記オペレーティングシステムに判別させる手段をさらに具備することを特徴とする請求項 3 記載のコンピュータシステム。

【請求項 5】 前記前処理では、前記複数のデバイスそれぞれに対して、それらを前記第 2 のレジューム処理の実行が可能な状態にまで復元するために必要なコマンドが順次発行され、

前記割り込み制御手段は、各デバイスからのコマンド処理の完了を示す割り込み信号に応答して、前記割り込み処理を挿入するための割り込み信号を前記 CPU に発行する手段を含むことを特徴とする請求項 3 記載のコンピュータシステム。

【請求項 6】 複数のデバイスを有するコンピュータシステムにおいて、前記コンピュータシステムをパワーセーブモードに設定することを示すイベントの発生に응答して、前記複数のデバイスを動作状態から省電力状態に遷移させる手段と、

前記省電力状態に遷移された複数のデバイスそれぞれのステータスデータを前記コンピュータシステムのメモリにセーブした後、前記コンピュータシステムを前記パワーセーブモードに入れる手段と、

前記パワーセーブモードからの復帰を示すウェイクアップイベントの発生に응答して、前記メモリにセーブされているステータスデータを用いて前記複数のデバイスそれぞれを前記省電力状態の状態に復元する第 1 のレジューム手段と、

前記省電力状態に復元された前記複数のデバイスそれぞれを前記動作状態に復元する第 2 のレジューム手段と、

前記省電力状態への復元が完了したデバイスから順に前記動作状態への復元処理が開始されるように、前記第 1 のレジューム手段と前記第 2 のレジューム手段とを並列に実行させる制御手段とを具備することを特徴とするコンピュータシステム。

【請求項 7】 前記第 2 のレジューム手段は、前記各デバイス毎に前記省電力状態の状態への復元処理が完了されているか否かを判別する手段と、前記

省電力ステートの状態への復元処理が完了したことが判別されたデバイスから順に前記動作ステートへの復元処理を開始する手段とを含むことを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 8】 前記制御手段は、タイマからの割り込み信号を用いて、前記第 1 のレジューム手段と前記第 2 のレジューム手段を一定時間間隔で交互に切り換えて実行することを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 9】 前記第 1 のレジューム手段は、前記複数のデバイスのコマンド処理が並行して実行されるように、前記複数のデバイスに対してそれらを前記省電力ステートの状態に復元するために必要なコマンドを順次発行する手段を含むことを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 10】 前記第 1 のレジューム手段は、前記複数のデバイスのコマンド処理が並行して実行されるように、前記複数のデバイスそれぞれに対してそれらを前記省電力ステートの状態に復元するために必要なコマンドを順次発行する手段を含み、

前記制御手段は、コマンド処理が完了したデバイスに対して次のコマンドが発行されるように、コマンド処理の完了を示す各デバイスからの割り込み信号を監視し、前記割り込み信号の発生が検出される度に前記第 2 のレジューム手段から前記第 1 のレジューム手段に処理を切り換える手段を含むことを特徴とする請求項 6 記載のコンピュータシステム。

【請求項 11】 パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、コンピュータシステムを前記パワーセーブモード直前の作業環境に復元するレジューム処理を実行するレジューム処理方法であって、

前記レジューム処理は B I O S プログラムによって実行される第 1 のレジューム処理とオペレーティングシステムによって実行される第 2 のレジューム処理とを含み、

前記パワーセーブモードからのウェイクアップ時に、前記第 1 のレジューム処理の中で前記オペレーティングシステムの動作に必要なシステムコア部の状態を復元するための処理を、前記 B I O S プログラムに実行させるステップと、

前記システムコア部の状態を復元するための処理の完了に応答して、前記 B I

OS プログラムから前記オペレーティングシステムに制御を移すステップと、

前記第 1 のレジューム処理の内の残りの処理と前記第 2 のレジューム処理とが並行して実行されるように、前記オペレーティングシステムが前記第 2 のレジューム処理を実行している期間中に割り込み処理を挿入し、その割り込み処理の中で前記 BIOS プログラムを実行させるステップとを具備することを特徴とするレジューム処理方法。

【請求項 1 2】 複数のデバイスを有するコンピュータシステムに適用されるレジューム処理方法であって、

前記コンピュータシステムをパワーセーブモードに設定することを示すイベントの発生に応答して、前記複数のデバイスを動作ステートから省電力ステートに遷移させるステップと、

前記省電力ステートに遷移された複数のデバイスそれぞれのステータスデータを前記コンピュータシステムのメモリにセーブした後、前記コンピュータシステムを前記パワーセーブモードに入れるステップと、

前記パワーセーブモードからの復帰を示すウェイクアップイベントの発生に回答して、前記メモリにセーブされているステータスデータを用いて前記複数のデバイスそれぞれを前記省電力ステートの状態に復元する第 1 のレジューム処理を実行するステップと、

前記省電力ステートに復元された前記複数のデバイスそれぞれを前記動作ステートに復元する第 2 のレジューム処理を実行するステップと、

前記省電力ステートへの復元が完了したデバイスから順に前記動作ステートへの復元処理が開始されるように、前記第 1 のレジューム処理と前記第 2 のレジューム処理とを並列に実行させるステップとを具備することを特徴とするレジューム処理方法。

【請求項 1 3】 前記第 1 のレジューム処理を実行するステップは、前記複数のデバイスのコマンド処理が並行して実行されるように、前記複数のデバイスに対してそれらを前記省電力ステートの状態に復元するために必要なコマンドを順次発行するステップを含むことを特徴とする請求項 1 2 記載のレジューム処理方法。

【請求項14】 パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、前記パワーセーブモード直前の作業環境を復元するレジューム処理機能を有するコンピュータシステムにおいて、

前記レジューム処理はBIOSプログラムによって実行される第1のレジューム処理とオペレーティングシステムによって実行される第2のレジューム処理とを含み、

前記第1のレジューム処理と前記第2のレジューム処理とを並行して実行させる手段を具備することを特徴とするコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はコンピュータシステムおよび同システムで使用されるレジューム処理方法に関し、特にパワーセーブモードから通常動作モードに高速に復帰することが可能なコンピュータシステムおよび同システムで使用されるレジューム処理方法に関する。

【0002】

【従来の技術】

近年、携帯可能なノートブックタイプまたはサブノートタイプのパーソナルコンピュータや、携帯情報端末などのポケットコンピュータが種々開発されている。

【0003】

この種のポータブルコンピュータは、バッテリー駆動可能な時間を延ばすために、コンピュータシステムの電力を節約するための種々のパワーセーブモード（スリープモード）が設けられている。サスペンドモードは、最も電力消費の少ないスリープモードの1つである。すなわち、コンピュータシステムがサスペンドモードの時は、オペレーティングシステムやユーザプログラムの再スタートに必要なシステムデータがセーブされている主メモリを除く、システム内の他のほとんどのデバイスはパワーオフされる。

【0004】

主メモリにセーブされるシステムデータは、コンピュータシステムがサスペンドモードに設定される直前のCPUのステータスおよび各種デバイスのステータスである。また、この主メモリには、オペレーティングシステムおよびアプリケーションプログラムの実行状態やそのアプリケーションプログラムによって作成されたユーザデータも記憶されている。サスペンド後にシステムが再度パワーオンされると、主メモリにセーブされているシステムデータがリストアされ、これによりサスペンドモード直前の作業状態に復元される（レジューム）。

【 0 0 0 5 】

システムデータのセーブは、システムBIOS（基本入出力プログラム）に組み込まれたサスペンドルーチンによって実行される。システムBIOSはオペレーティングシステムからの要求にしたがってシステム内のハードウェアを制御するためのものであり、システム内の各種ハードウェアデバイスを制御するデバイスドライバ群を含んでいる。システムBIOSのサスペンドルーチンは、システムの電源オフ時などに起動され、CPUのレジスタおよび各種周辺LSIのステータスをメモリにセーブした後、システムをパワーオフする。

【 0 0 0 6 】

主メモリへの電源供給は、システムがパワーオフの期間中ずっとバッテリーによって維持される。このため、システムのステータスおよびユーザデータは消失されることなく、サスペンド前の作業状態にシステムを高速に戻すことができる。

【 0 0 0 7 】

【発明が解決しようとする課題】

ところが、最近では、ACPI（Advanced Configuration and Power Interface）に代表されるように、オペレーティングシステム（OS）自体にシステムのパワーセーブに関する管理機能を持たせる技術が開発されており、サスペンド／レジューム処理は、OSの管理の下で、OSとBIOSとの共同作業で行われるようになってきている。この場合、レジューム処理は、BIOSによるレジューム処理とOSによるレジューム処理との2段階で実行される。BIOSによるレジューム処理では、OSおよびそのOS管理下の各デバイスの動作が保証できる状態までの復帰処理が実行される。その後、BIOSからOSに制御が移され、

OSによるレジューム処理が実行される。このOSによるレジューム処理により、各デバイスはサスペンド前と同じ元の動作状態に復元される。

【0008】

しかし、コンピュータシステムは通常多数のデバイスによって構成されているので、全てのデバイスに対するBIOSのレジューム処理が完了してからOSのレジューム処理に移行するという従来の順次処理では、既にBIOSのレジューム処理が完了しているデバイスがあっても、それに対するOSのレジューム処理を開始することができない。このため無駄な待ち時間が生じ、システム状態の復元に比較的多くの時間が必要とされた。

【0009】

本発明は上述の事情に鑑みてなされたものであり、レジューム処理を高速に実行できるようにし、サスペンドなどのパワーセーブモードからの復帰に要する時間を短縮することが可能なコンピュータシステムおよびサスペンド処理方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上述の課題を解決するため、本発明は、パワーセーブモードへの移行時にメモリにセーブされたシステムデータを用いて、前記パワーセーブモード直前の作業環境を復元するレジューム処理機能を有するコンピュータシステムにおいて、前記レジューム処理はBIOSプログラムによって実行される第1のレジューム処理とオペレーティングシステムによって実行される第2のレジューム処理とを含み、前記パワーセーブモードからのウェイクアップ時に、前記第1のレジューム処理の中で前記オペレーティングシステムの動作に必要なシステムコア部の状態を復元するための処理を、前記BIOSプログラムに実行させる手段と、前記システムコア部の状態を復元するための処理の完了に応答して、前記BIOSプログラムから前記オペレーティングシステムに制御を移す手段と、前記第1のレジューム処理の内の残りの処理と前記第2のレジューム処理とが並行して実行されるように、前記オペレーティングシステムが前記第2のレジューム処理を実行している期間中に割り込み処理を挿入し、その割り込み処理の中で前記BIOSプ

プログラムを実行させる割り込み制御手段とを具備することを特徴とする。

【 0 0 1 1 】

このコンピュータシステムにおいては、BIOSプログラムによって実行される第1のレジューム処理が2つに分割されており、第1のレジューム処理の内でオペレーティングシステムの動作に必要なシステムコア部の状態を復元するための処理部分が完了した時点で、BIOSプログラムからオペレーティングシステムに制御が移される。この後は、第2のレジューム処理を実行している期間中に割り込み処理を挿入して、その割り込み処理の中でBIOSプログラムを実行させることにより、第1のレジューム処理の内の残りの部分と、オペレーティングシステムによる第2のレジューム処理とが並行して実行される。これにより、全てのデバイスに対する第1のレジューム処理の完了を待たずに第2のレジューム処理を開始できるので、全てのデバイスに対するBIOSの第1のレジューム処理が完了してからオペレーティングシステムの第2のレジューム処理に移行するという従来の順次処理に比べ、レジューム処理全体に要する時間を短縮することができる。

【 0 0 1 2 】

また、一般にデバイスの状態復元のためには、初期化処理の場合と同様に、そのデバイスに対して何度もコマンドを発行することが必要となり、またそのコマンド発行の度にそのデバイスがコマンド処理を完了するまで待機するというI/O待ちが発生することになる。I/O待ちによるペナルティーは、第1のレジューム処理の内の残りの部分と、オペレーティングシステムによる第2のレジューム処理との並行処理によって大幅に低減できる。

【 0 0 1 3 】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

図1には、本発明の一実施形態に係るコンピュータシステムの構成が示されている。このコンピュータシステムは、ノートブックタイプまたはサブノートタイプのポータブルパーソナルコンピュータであり、コンピュータ本体と、このコンピュータ本体に開閉自在に取り付けられたLCDパネルユニットとから構成され

ている。このコンピュータは、内蔵バッテリーを有しており、その内蔵バッテリーからの電力によって動作可能に構成されている。また、ACアダプタを介してAC商用電源などの外部電源から電力供給を受けることもできる。外部電源から電力供給を受けているときは、その外部電源からの電力がコンピュータシステムの動作電源として用いられる。このとき、外部電源からの電力によって内蔵バッテリーの充電も自動的に行われる。ACアダプタが取り外されたり、あるいはAC商用電源のブレーカが落とされたときなどは、内蔵バッテリーからの電力がコンピュータシステムの動作電源として用いられる。

【0014】

また、このコンピュータには、CPU11、CPUバス1とPCIバス2間をつなぐホスト-PCIブリッジ12、主メモリ13、VGAコントローラ14、LANコントローラ15、PCI-ISAブリッジ16、I/Oコントローラ17、ハードディスクドライブ(HDD)18、PCカード19、BIOS-ROM20、埋め込みコントローラ(EC)21、電源コントローラ22などが設けられている。

【0015】

CPU11は、このシステム全体の動作制御およびデータ処理を実行する。このCPU11としては、システム管理割り込みSMI(SMI; System Management Interrupt)をサポートするもの、例えば、米インテル社により製造販売されているマイクロプロセッサ“Pentium”などが使用される。この場合、CPU11は、次のようなシステム管理機能を持つ。

【0016】

すなわち、CPU11は、アプリケーションプログラムやオペレーティングシステム(OS)などのプログラムを実行するための動作モードとしてリアルモード、プロテクトモード、仮想8086モードを有する他、システム管理モード(SMM; System Management mode)と称されるシステム管理機能を実現するための動作モードを有している。

【0017】

リアルモードは、最大で1Mバイトのメモリ空間をアクセスできるモードであり、論理アドレスから物理アドレスへの変換は、セグメントレジスタで表されるベースアドレスからのオフセット値で物理アドレスを決定するアドレス計算形式によって行われる。

【0018】

一方、プロテクトモードは1タスク当たり最大4Gバイトのメモリ空間をアクセスできるモードであり、ディスクプリタテーブルと称されるアドレスマッピングテーブルを用いてリニアアドレスが決定される。このリニアアドレスは、ページングによって最終的に物理アドレスに変換される。

このように、プロテクトモードとリアルモードとでは、互いに異なるメモリアドレッシングが採用されている。

【0019】

システム管理モード（SMM）は疑似リアルモードであり、このモードにおけるアドレス計算形式はリアルモードのアドレス計算形式と同一であり、ディスクプリタテーブルは参照されず、ページングも実行されない。しかし、SMMでは、プロテクトモードと同様に、1Mバイトを越えるメモリ空間をアクセスすることができる。

【0020】

システム管理割込み（SMI；System Management Interrupt）がCPU11に発行された時、CPU11の動作モードは、その時の動作モードであるリアルモード、プロテクトモード、または仮想8086モードから、SMMにスイッチされる。SMIによってSMMにスイッチした時、CPU11はその時のCPUレジスタの内容であるCPUステータスを主メモリ13上のオーバーレイメモリ（SMRAMと称される）にセーブする。また、SMMにおいて復帰命令（RSM命令）が実行されると、CPU11はSMRAMからCPUレジスタにCPUステータスをリストアし、SMI発生前の動作モードに復帰する。本実施形態においては、SMMにおいて、BIOSのシステム管理プログラム（サスペンド処理ルーチンおよびレジューム処理ルーチンなど）が実行される。サスペンド処理ルーチンは、OSとの共同作業により、システムステ

ートをサスペンド状態（パワーセーブモード）に設定するためのものであり、CPUコンテキストおよび各種デバイスのステートなどを含むシステムデータを主メモリ13にセーブした後に、主メモリ13を除く他のほとんどのデバイスをパワーオフする（メモリサスペンド）。レジュームルーチンは、OSとの共同作業により、システムをメモリサスペンド前の動作状態に復元させるためのものであり、ウェイクアップイベントが発生したときに、主メモリ13にセーブされているシステムデータを元のCPU11および各デバイスにリストアする。

【0021】

SMIはマスク不能割込みNMIの一種であるが、通常のNMIやマスク可能割込みINTRよりも優先度の高い、最優先度のハードウェア割り込みである。このSMIを発行することによって、実行中のオペレーティングシステムの環境に依存せずにBIOSを起動することができる。

【0022】

ホスト-PCIブリッジ12はCPUバス1とPCIバス2間を双方向でつなぐブリッジであり、ここには主メモリ13を制御するためのメモリコントローラも内蔵されている。主メモリ13はこのシステムの主記憶つまりシステムメモリとして使用されるものであり、オペレーティングシステム、処理対象のアプリケーションプログラム、およびアプリケーションプログラムによって作成されたユーザデータ等が格納される。この主メモリ13はDRAMなどの半導体メモリによって実現されている。

【0023】

主メモリ13はこのシステムの主記憶つまりシステムメモリとして使用されるものであり、オペレーティングシステム、処理対象のアプリケーションプログラム、およびアプリケーションプログラムによって作成されたユーザデータ等が格納される。この主メモリ13はDRAMなどの半導体メモリによって実現されている。前述のSMRAM（System Management RAM）は、図2に示すように、主メモリ13を構成する物理メモリの一部に割り当てられた記憶空間であり、SMI信号がCPU11に入力された時だけメモリアドレスがマッピングされてアクセス可能となる。ここで、SMRAMがマッピングされる

アドレス範囲は固定ではなく、SMBASEと称されるCPU11内のレジスタによって4 Gバイト空間の任意の場所に変更することが可能である。SMBASEレジスタは、SMM中でないとアクセスできない。

【0024】

CPU11がSMMに移行する時には、CPUコンテキスト（CPUステータス）、つまりSMIが発生された時のCPU11のレジスタ等が、SMRAMにスタック形式でセーブされる。このSMRAMには、BIOS-ROM20のシステム管理プログラムを呼び出すためのJUMP命令が格納されている。このJUMP命令は、CPU11がSMMに入った時に最初に実行される命令であり、この命令実行によってBIOSのシステム管理プログラムに制御が移る。先ず、SMIハンドラによってSMI発生要因がチェックされる。そして、SMI発生要因に対応するシステム管理プログラムのサービスルーチンの実行がSMIハンドラによってリクエストされる。

【0025】

BIOS-ROM20は、BIOS（Basic I/O System）を記憶するためのものであり、プログラム書き替えが可能なようにフラッシュメモリによって構成されている。BIOSは、このシステム内の各種ハードウェアをアクセスするためのファンクション実行ルーチンを体系化したものであり、リアルモードで動作するように構成されている。

【0026】

このBIOSには、システムのパワーオン時に各種デバイスの初期化及びテストを行うIRTルーチンと、各種ハードウェア制御のためのBIOSドライバ群などが含まれている。各BIOSドライバは、ハードウェア制御のための複数の機能をオペレーティングシステムやアプリケーションプログラムに提供するためにそれら機能に対応する複数のファンクション実行ルーチン群を含んでいる。

【0027】

また、BIOS-ROM20には、前述のシステム管理プログラムなど、SMMの中で実行されるプログラムも格納されている。SMIハンドラは、前述したように、SMIの発生要因に応じて各種SMIサービスルーチンを起動するため

のものである。なお、前述のサスペンド処理ルーチンなどは A C P I 対応の O S から直接起動することもできる。

【 0 0 2 8 】

E C 2 1 は、システムが持つ付加機能を制御するためのコントローラであり、C P U 周辺温度などに応じてクーリングファンの回転制御などを行うための熱制御機能、システムの各種状態を L E D の点灯やビープ音によってユーザに通知するための L E D / ビープ音制御機能、電源コントローラ 2 2 と共同してシステム電源のオン／オフなどを制御する電源シーケンス制御機能、および電源ステータス通知機能などを有している。電源ステータス通知機能は、電源コントローラ 2 2 と共同して B I O S のレジューム処理ルーチンの起動要因となるウェイクアップイベントの発生を監視し、イベント発生時にそれを S M I などを用いて B I O S に通知するという機能である。ウェイクアップイベントとしては、電源スイッチ 2 3 のオン、パネルスイッチ 2 4 のオンなどがある。メモリサスペンド状態においても、E C 2 1 および電源コントローラ 2 2 には動作電源が供給されており、E C 2 1 の各機能は有効である。

【 0 0 2 9 】

E C 2 1 は、B I O S との通信のための I / O ポートを有している。B I O S は、この I / O ポートを介して E C 2 1 内のコンフィグレーションレジスタに対してリード／ライトを行うことにより、監視および通知すべきイベントの種類の設定や、発生したイベントを示すステータスのリードなどを行うことができる。E C 2 1 と電源コントローラ 2 2 間の通信は I ² C バスを介して行われる。

【 0 0 3 0 】

V G A コントローラ 1 4 は、このシステムのディスプレイモニタとして使用される L C D や外部 C R T を制御するためのものであり、V R A M に描画された画面データを L C D や外部 C R T に表示する。L A N コントローラ 1 5 は、本システムを L A N に接続するためのネットワークインターフェースである。I / O コントローラ 1 7 は各種 I / O デバイスとのインターフェースであり、ハードディスクドライブ (H D D) 1 8 を制御するための I D E インタフェース、P C カード 1 9 を制御するための P C M C I A / C A R D B U S インタフェースなどを内蔵

している。

【 0 0 3 1 】

PCI-ISAブリッジ16はPCIバス2とISAバス3間を双方向でつなぐブリッジであり、ここにはSMI発生回路161が内蔵されている。SMI発生回路161は、図3に示すように、ソフトウェアSMI発生回路201、I/OトラップSMI発生回路202、その他のSMI発生回路204、OR回路204、タイマレジスタ205、ステータスレジスタ206などから構成されている。ソフトウェアSMI発生回路201は、タイマレジスタ205にセットされたインターバル時間で指定される所定の時間間隔でSMI信号（ソフトウェアSMI）を発生する。タイマレジスタ205はプログラム可能であり、ソフトウェアによって任意のインターバル時間をタイマレジスタ205にセットすることができる。本実施形態では、BIOSによるレジューム処理とOSによるレジューム処理とを交互に切り替えながら実行させるために、ソフトウェアSMIが用いられる。ステータスレジスタ206はSMI発生要因を保持するためのものであり、OR回路204を通じてCPU11に供給されたSMIが、ソフトウェアSMI発生回路201、I/OトラップSMI発生回路202、その他のSMI発生回路204のいずれによるものであるかを記憶する。EC21からのイベント通知は、その他のSMI発生回路204経由で発生されるSMIによってCPU11に伝達される。

【 0 0 3 2 】

次に、図4を参照して、本システムのモード遷移について説明する。

本システムはACPI仕様に準拠したパワーセーブモードをサポートしている。ACPI仕様では、S0からS5までのシステムステートが定義されている。S0は動作状態（つまりシステムの電源が入っており、ソフトウェアが実行中の状態）、S5はオフ状態（つまり全てのソフトウェアの実行は終了し、システムの電源が切られている状態）であり、S1～S4はその中間の状態（スリープ状態と呼ぶ、つまり直前までのソフトウェアの実行状態を保持しつつ動作が停止している状態）である。S1～S4のうち、本実施形態ではS3とS4をそれぞれメモリスuspend状態、ハイバネーション状態としてサポートする。

【 0 0 3 3 】

つまり、S 3 では主メモリ 1 3（および一部のチップセット）の電源のみを保持する。つまり主メモリ 1 3（および一部のチップセット）の内容のみが保持される。必要な消費電力は少なくなり、バッテリー駆動状態でスリープ状態（パワーセーブモードの状態）を長時間持続させることができる。

【 0 0 3 4 】

S 4 ではハードディスク 1 8 に主メモリ 1 3 等の内容が全て保存され、システムの電源は全て切られる。スリープ中の消費電力は最小（S 5 の状態に等しい）だが、S 0 へ戻るのに最も時間がかかる。つまり最も「深い」スリープ状態である。

【 0 0 3 5 】

さらに、ACPI 仕様では、デバイスパワーマネジメントのためのステートとして、D 0 から D 3 までのステート（デバイスパワーステート）を定義している。デバイスパワーマネジメントはバス上のデバイスに関するパワーマネジメントである。各デバイスは最低 D 0 と D 3 の 2 つの状態をサポートすることが要求されている。D 0 はデバイスが完全にアクティブの動作ステートであり、また D 3 は電源オフ状態と同等の省電力ステートである。

【 0 0 3 6 】

システムステートが S 0 から S 3 のメモリサスペンド状態に移移するとき、それに合わせて各デバイスのデバイスステートもそれまでのステート（通常は D 0）から省電力ステートである D 3 に移移される。デバイスステート D 3 への移移は OS の制御の下に実行され、D 3 状態に移移したデバイスのレジスタ等のステータスを主メモリ 1 3 にセーブする処理は BIOS によって実行される。

【 0 0 3 7 】

次に、図 5 を参照して、S 0 の動作状態から S 3 のメモリサスペンド状態に移移する時に実行される一連の処理の流れについて説明する。

GUI によるコマンド入力または電源スイッチのオフ操作などによってユーザから OS に対してサスペンド（スタンバイ）の指示がなされると、OS は、現在の作業を問題なく中断するために必要な処理（OS サスペンド処理）を開始する

(ステップ S 1 0 1)。ここでは、例えばネットワーク接続環境などの現在の状態を主メモリ 1 3 または HDD 1 8 などに保存するなどの処理も行われる。次いで、OS は、システム内の各デバイスを D 0 から D 3 に遷移させるための処理を行う (ステップ S 1 0 2)。全てのデバイスが D 3 に遷移した後、OS からのリクエストにより、BIOS のサスペンド処理ルーチンが起動される。

【 0 0 3 8 】

サスペンド処理ルーチンは、CPU 1 1 およびホスト-PCI ブリッジ 1 2 などのコアデバイスの内部ステータスをシステムデータとして主メモリ 1 3 にセーブし (ステップ S 1 0 3)、次いで、D 3 に設定されている各デバイスのステータスを主メモリ 1 3 にセーブする (ステップ S 1 0 4)。この後、サスペンド処理ルーチンは、EC 2 1 を通じて電源コントローラ 2 2 を制御することにより、主メモリ 1 3 (および一部のチップセット) を除く他のほとんどのデバイスをパワーオフする (ステップ S 1 0 4)。

【 0 0 3 9 】

次に、図 6 を参照して、S 3 のメモリサスペンド状態から S 0 の動作状態に復帰する時に実行される一連の処理の流れについて説明する。

電源スイッチ 2 3 のオン操作などのウェイクアップイベントが発生すると、BIOS のレジュームルーチンが実行される。BIOS のレジュームルーチンは、まず、主メモリ 1 3 にセーブされているシステムデータを CPU 1 1 およびホスト-PCI ブリッジ 1 2 などのコアデバイスにリストアすることにより、OS の動作に最低限必要なコアデバイスの復帰処理 (コアデバイス復帰) を実行する (ステップ S 1 1 1)。次いで、BIOS のレジュームルーチンは、主メモリ 1 3 にセーブされている各デバイスのデータをリストアすることにより、各デバイスを D 3 の状態に復帰させるための処理 (D 3 復帰処理) を実行する (ステップ S 1 1 2)。このステップ S 1 1 2 の D 3 復帰処理は、各デバイスを D 3 から D 0 の状態に復帰させるというステップ S 1 1 3 の処理 (D 0 復帰) と並行して実行される。D 0 復帰処理は、OS によって実行される。全てのデバイスについての D 0 復帰処理が終了した後、OS は、その OS の作業環境をメモリサスペンド前と同じ状態にするための残りのレジューム処理を行う (ステップ S 1 1 4)。こ

こでは、例えばネットワークの再接続などの処理や、BIOSによって管理されないオプションデバイスに関する復帰処理などが実行される。

【0040】

すなわち、複数のデバイスそれぞれに関するレジューム処理はD3復帰とD0復帰の2段階で行われる。本実施形態では、これらD3復帰処理とD0復帰処理との並行処理により、D3復帰が完了したデバイスから順にD0復帰を開始できるようにしている。

【0041】

この並行処理の原理を図7に示す。図7(a)は従来の順次処理を示し、図7(b)は本実施形態の並行処理を示している。図7(b)から分かるように、本実施形態では、BIOSによるレジューム処理をコアデバイスの復帰処理と他の各デバイスに関するD3復帰処理とに分割しており、コアデバイスの復帰処理が完了した時点で、OSによるレジューム処理を開始させるようにしている。BIOSによるD3復帰処理は、OSによるD0復帰処理中にソフトウェアSMIを定期的に発行すること等によって割り込み処理の形式で実行される。これにより、D3復帰処理とD0復帰処理とが時分割的に交互に実行されることになり、全てのデバイスについてのD3復帰処理が完了してからD0復帰処理に移行するという従来の順次処理に比べ、レジューム処理全体に要する時間を短縮することができる。

【0042】

図8には、D3復帰処理とD0復帰処理との並行処理の様子が模式的に示されている。

図8では、BIOSによるD3復帰処理がデバイスA, B, Cの順で完了し(ステップS201, S202, S203)、D3復帰処理が完了したデバイスから順にOSによるD0復帰処理(ステップS211, S212, S213)が実行される様子が示されている。D3復帰処理は、D0復帰処理を正常に行うために必要な前処理である。このため、図8のように、D3復帰処理が完了したデバイスから順にD0復帰処理を行うことにより、不具合を招くことなく、各デバイスをD0ステートに正常に復帰させることができる。

【 0 0 4 3 】

なお、D 3 復帰処理およびD 0 復帰処理のどちらにおいても、各デバイスに対してはレジスタ値の設定などのためのコマンドが順次発行されることになる。コマンド毎にI / O待ちが発生するので、あるデバイスに対するI / O待ちの時間を利用して他のデバイスに対する処理を行うことにより、さらにレジューム処理の効率化を図ることができる。これを実現するため、本実施形態では、複数のデバイスそれぞれに対するD 3 復帰処理を並行して実行するようにしている。この様子を図9に示す。

【 0 0 4 4 】

図9においては、デバイスA、B、Cに関するD 3 復帰処理を並行して行い、且つこのD 3 復帰処理とOSによるD 0 復帰処理が並行して行われる様子が示されている。すなわち、BIOSは、まず、デバイスAにコマンドを発行し（ステップS 3 0 1）、そのデバイスAのコマンド処理待ちの間に、デバイスBにコマンドを発行する（ステップS 3 0 2）。同様に、このデバイスBのコマンド処理待ちの間に、デバイスCにコマンドを発行する（ステップS 3 0 2）。このような処理は、割り込み処理によってOSからBIOSに制御が移されるたびに、D 3 復帰処理が完了していないデバイスそれぞれに対して実行される。図9では、説明を簡単にするために、デバイスAについては一回のコマンド処理（A 1）でD 3 復帰処理が完了し、デバイスBについては3回のコマンド処理（B 1～B 3）でD 3 復帰処理が完了し、そしてデバイスCについては3回のコマンド処理（B 1～B 3）でD 3 復帰処理が完了する場合を示している。

【 0 0 4 5 】

OSのD 0 復帰処理では、デバイスA、B、CそれぞれについてD 3 復帰処理が完了しているかどうかチェックされ（ステップS 4 0 1～S 4 0 3）、D 3 復帰処理が完了してレディー状態となったデバイスから順にD 0 復帰処理が実行される（ステップS 4 0 4、S 4 0 5、S 4 0 6）。各デバイスのD 0 復帰処理においてもコマンド終了待ち（I / O待ち）が発生する。このため、もしそのコマンド終了待ちの期間中にソフトウェアSMIが発生すれば、あるデバイスに関するD 0 復帰のためのコマンド処理と並行して、別のデバイスに関するD 0 復帰

のためのコマンド処理が実行されることになる。つまり、デバイスA, B, Cに着目すれば、それらは同時並行的にコマンド処理を実行することになる。

【0046】

次に、図10のフローチャートを参照して、レジューム処理の手順について具体的に説明する。

BIOSは、まず、前述のコアデバイス復帰処理を実行する（ステップS501）。次に、BIOSは、ソフトウェアSMIの発生準備のために、タイマレジスタ205に所定のインターバルタイマ値（SMIタイマ）をセットした後（ステップS502）、主メモリ13上に存在するOSレジューム処理の先頭コードにジャンプしてOSに制御を渡す（ステップS503）。

【0047】

OSは、そのレジューム処理のメインルーチンの中で、デバイスA, B, CそれぞれについてD3復帰処理が完了しているかどうか、および全デバイスのD0復帰処理が完了したかをサイクリックにチェックする（ステップS504, S505, S506, S507）。例えばデバイス毎にビジーステータスフラグを用意し、D3復帰処理が完了したデバイス毎にBIOSが対応するビジーステータスフラグをリセットするなどの仕組みを用いれば、OSは、該当するデバイスに対応するビジーステータスフラグをチェックするだけでD3復帰処理が完了しているかどうかを容易に判別することができる。ステップS504, S505, S506, S507の手順は、例えばACPI用に用意されたマクロであるASL等によってOSに記述しておけばよい。

【0048】

そして、OSは、D3復帰処理が完了したデバイスから順にD0復帰処理のためのコマンド発行を行う（ステップS508～S510）。全デバイスのD0復帰処理が完了すると、OSは、必要なネットワーク再接続などの処理を行って、サスペンド前のOS作業環境を復元する（ステップS511）。

【0049】

以上のOSレジューム処理の期間には定期的にソフトウェアSMIが発生し、そのたびにBIOSに制御が移される。BIOSは、SMI割り込み処理の中で

図 1 1 に示す処理を実行する。

【 0 0 5 0 】

すなわち、B I O S は、まず、デバイス A に関する D 3 復帰処理が全て完了しているか否かをチェックし（ステップ S 6 1 1）、完了してなければ、デバイス A に関する D 3 復帰処理を実行する（ステップ S 6 1 2）。デバイス A の D 3 復帰処理に例えば 3 つのコマンド処理（処理 # 1, # 2, # 3）が必要な場合、ステップ S 6 1 2 では、各処理毎にそれが実行済みであるかどうかをチェックし、未実行であればそれを実行するという処理が行われる。一つのコマンド処理を行うたびに、B I O S は、ステップ S 6 1 2 の処理から抜ける。

【 0 0 5 1 】

デバイス A に関する D 3 復帰処理が全て完了している場合、あるいはステップ S 6 1 2 にてデバイス A に関する一つのコマンド処理を実行したならば、B I O S は、今度は、デバイス B に関する D 3 復帰処理が全て完了しているか否かをチェックし（ステップ S 6 1 3）、完了してなければ、デバイス B に関する D 3 復帰処理を実行する（ステップ S 6 1 4）。このステップ S 6 1 4 でも、ステップ S 6 1 2 と同様に、各コマンド処理毎にそれが実行済みであるかどうかをチェックしながら、未実行のコマンド処理を実行する。一つのコマンド処理を行うたびに、B I O S は、ステップ S 6 1 4 の処理から抜ける。

【 0 0 5 2 】

以上のような処理が各デバイス毎に行われた後、B I O S は、全てのデバイスについての D 3 復帰処理が全て完了したか否かをチェックする（ステップ S 6 1 5）。完了していない場合には、そのまま S M M を抜けて、割り込み元の O S に制御を戻す。一方、全てのデバイスについての D 3 復帰処理が全て完了した場合には、タイマレジスタ 2 0 5 のインターバルタイマ値（S M I タイマ）をリセットして、ソフトウェア S M I の発生を停止させた後（ステップ S 6 1 5）、S M M を抜けて、割り込み元の O S に制御を戻す。

【 0 0 5 3 】

以上のようにして、B I O S と O S が交互に実行されながら、複数のデバイスそれぞれの D 3 復帰と D 0 復帰のための処理が並行して進められる。

【 0 0 5 4 】

なお、これまでの説明ではOSからBIOSへの切り換えをソフトウェアSMIで行う場合についてのみ説明したが、D3復帰のためのコマンド処理の完了を示すデバイスからの割り込み信号をSMIに変換することにより、OSからBIOSへの切り換えをデバイスからの割り込み信号によって行うこともできる。そのためのハードウェア構成の一例を図12に示す。

【 0 0 5 5 】

図12に示されているように、通常は、デバイス301～303それぞれからの割り込み信号（IRQまたはINT）は割り込みコントローラ304を介してCPU11にマスク可能割り込みINTRなどとして供給される。OSのレジューム処理に影響を与えることなく、BIOSのレジューム処理を割り込み処理によって実行するためにはSMMモードを利用することが好ましい。このため、本例では、割り込み信号変換回路305、ステータスレジスタ306、イネーブル／ディスエーブルレジスタ307が設けられている。割り込み信号変換回路305は、デバイス301～303それぞれからの割り込み信号（IRQまたはINT）をSMI信号に変換し、それをデバイスSMIとしてOR回路204に出力する。割り込み信号変換回路305の変換動作は、イネーブル／ディスエーブルレジスタ307の設定値によって許可又は禁止される。現在のデバイスSMIがどのデバイスからの割り込み信号に起因するものであるかは、ステータスレジスタ306を参照することによって判別できる。

【 0 0 5 6 】

以下、図13のフローチャートを参照して、デバイスSMIを利用する場合におけるレジューム処理の手順を説明する。

【 0 0 5 7 】

BIOSは、まず、コアデバイス復帰処理を実行する（ステップS701）。次に、BIOSは、イネーブル／ディスエーブルレジスタ307をイネーブルフラグをセットして、デバイスSMIの発生を有効にする（ステップS702）。この後、BIOSは、デバイスA、B、Cそれぞれに対してD3復帰に必要なコマンド発行を一回ずつ実行した後（ステップS703）、主メモリ13上に存在

するOSレジューム処理の先頭コードにジャンプしてOSに制御を渡す（ステップS704）。そして、OSによるレジューム処理が開始される（ステップS705）。このOSレジューム処理では、図10のステップS504～S511で説明した処理が行われる。ただし、各デバイスからの割り込み信号はBIOS起動のためのデバイスSMIとして利用されているので、D0復帰のためのコマンド処理が終了したか否かのチェックは該当するデバイスをポーリングすることによって行われることになる。

【0058】

D3復帰のためのコマンド処理が終了したデバイスから割り込み信号が発生すると、デバイスSMIによってBIOSが起動される。BIOSは、ステータスレジスタ306を参照することによってデバイスSMIの要因が、デバイスAによるデバイスSMI（デバイスA__SMI）、デバイスBによるデバイスSMI（デバイスB__SMI）、デバイスCによるデバイスSMI（デバイスC__SMI）のいずれであるかを判定する。BIOSにはデバイスA、B、Cそれぞれに対応するSMI処理ルーチンが設けられており、デバイスSMIの発生要因に対応するSMI処理ルーチンが実行される。

【0059】

例えば、デバイスAに対応するSMI処理ルーチンの場合には、デバイスAのD3復帰に必要な次のコマンド発行を一回実行する（ステップS711）。次いで、全デバイスに関するD3復帰処理の完了の有無をチェックし（ステップS712）、完了していない場合には、そのままSMMを抜けて、割り込み元のOSに制御を戻す。一方、全てのデバイスについてのD3復帰処理が全て完了した場合には、イネーブル／ディスエーブルレジスタ307のイネーブルフラグをリセットして、デバイスSMIを無効化した後（ステップS712）、SMMを抜けて、割り込み元のOSに制御を戻す。デバイスBに対応するSMI処理ルーチンでも同様の処理（ステップS721～S723）が実行され、またデバイスCに対応するSMI処理ルーチンでも同様の処理（ステップS731～S733）が実行される。

【0060】

以上のように、本実施形態のレジューム処理方法によれば、B I O S レジューム処理とO S レジューム処理を並行処理することで、レジューム処理の高速化を図ることが可能となる。

【0061】

なお、本発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0062】

【発明の効果】

以上説明したように、本発明によれば、レジューム処理を高速に実行できるようになり、サスペンドなどのパワーセーブモードからの復帰に要する時間を短縮する事が可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るコンピュータシステムの構成を示すブロック図。

【図2】

同実施形態におけるB I O S レジュームルーチンの起動処理動作の一例を説明するための図。

【図3】

同実施形態で用いられるS M I 発生回路の構成を示す図。

【図4】

同実施形態のシステムステートの遷移の様子を示す図。

【図5】

同実施形態のシステムがメモリススペンド状態に遷移する時に実行される一連の処理の流れを説明するフローチャート。

【図 6】

同実施形態のシステムがメモリサスペンド状態から復帰する時に実行される一連の処理の流れを説明するフローチャート。

【図 7】

同実施形態のシステムで実行される B I O S レジューム処理と O S レジューム処理との並行処理の原理を説明するための図。

【図 8】

同実施形態のシステムで実行される D 3 復帰処理と D 0 復帰処理との並行処理の様子を示す図。

【図 9】

同実施形態のシステムにおいて複数のデバイスに関する D 3 復帰処理を並行して行う場合の処理例を示す図。

【図 1 0】

同実施形態のシステムで実行されるレジューム処理の手順を示すフローチャート。

【図 1 1】

同実施形態のシステムで実行される B I O S レジューム処理の手順を示すフローチャート。

【図 1 2】

同実施形態のシステムでデバイス S M I を利用する場合のハードウェア構成の一例を示すブロック図。

【図 1 3】

同実施形態のシステムで実行されるレジューム処理の手順の他の例を示すフローチャート。

【符号の説明】

1 1 … C P U

1 2 … ホスト - P C I ブリッジ

1 3 … 主メモリ

1 5 … L A N コントローラ

2 0 … B I O S - R O M

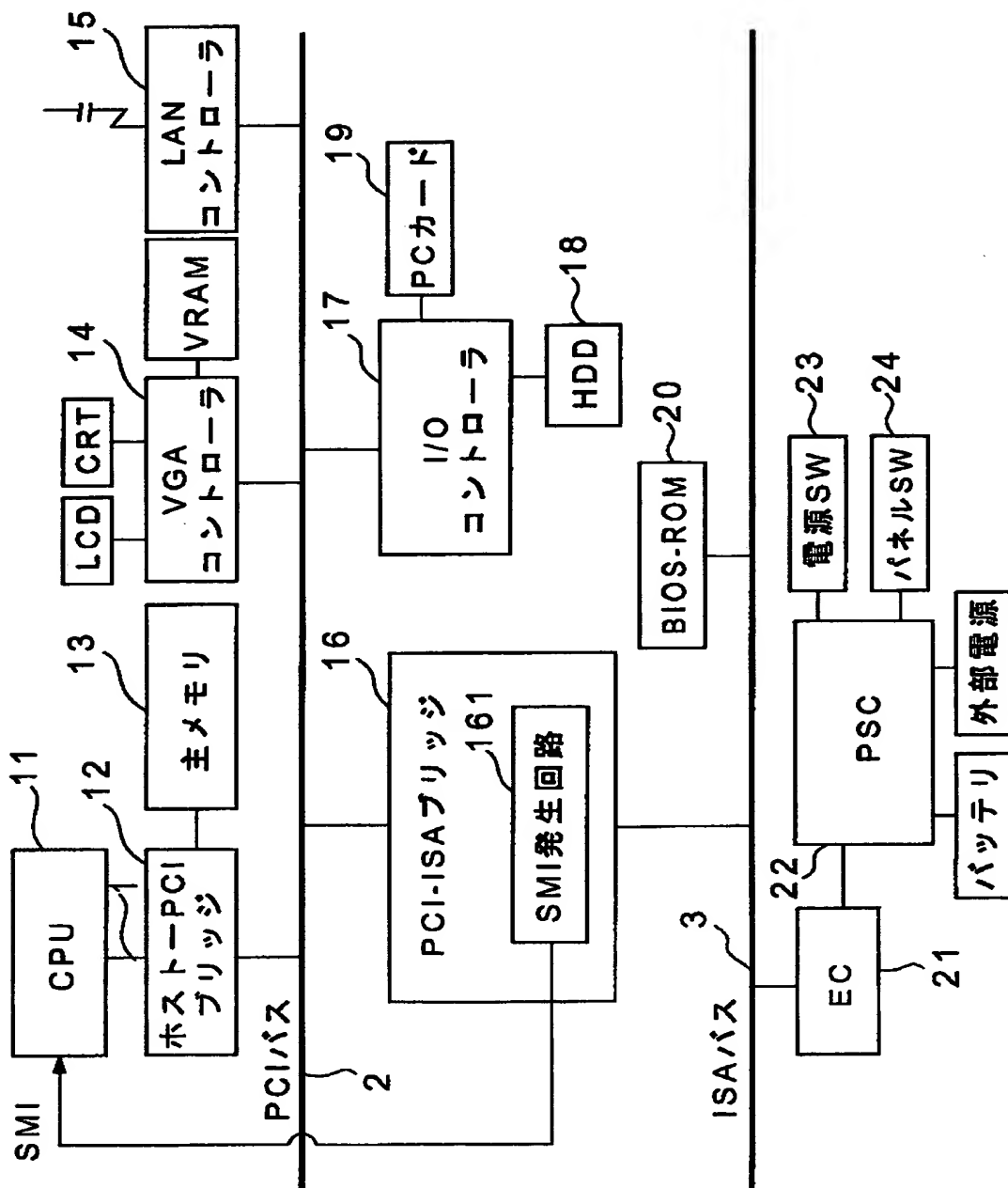
2 0 1 … ソフトウェア S M I 発生回路

2 0 5 … タイマレジスタ

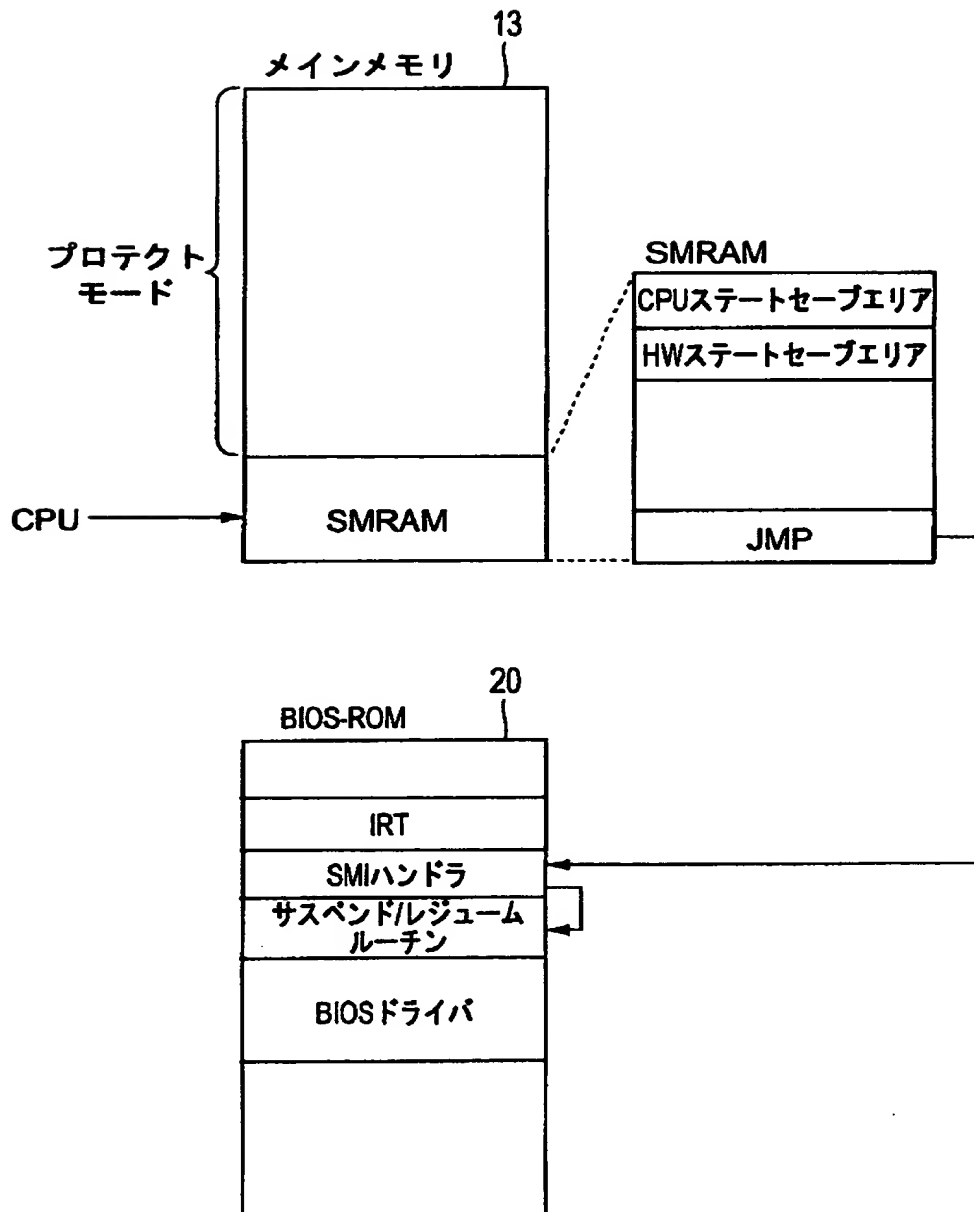
3 0 5 … 割り込み信号変換回路

【書類名】 図面

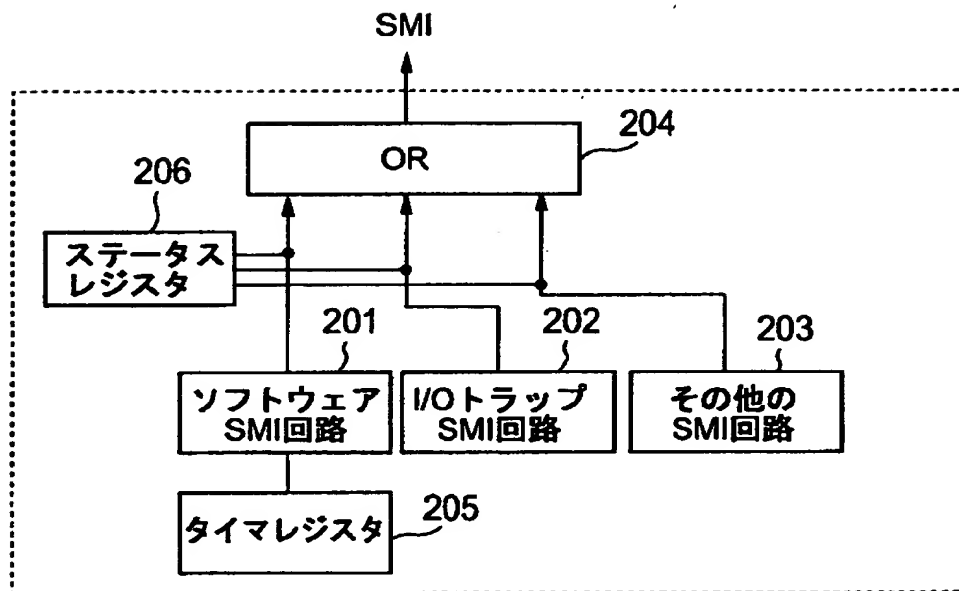
【図 1】



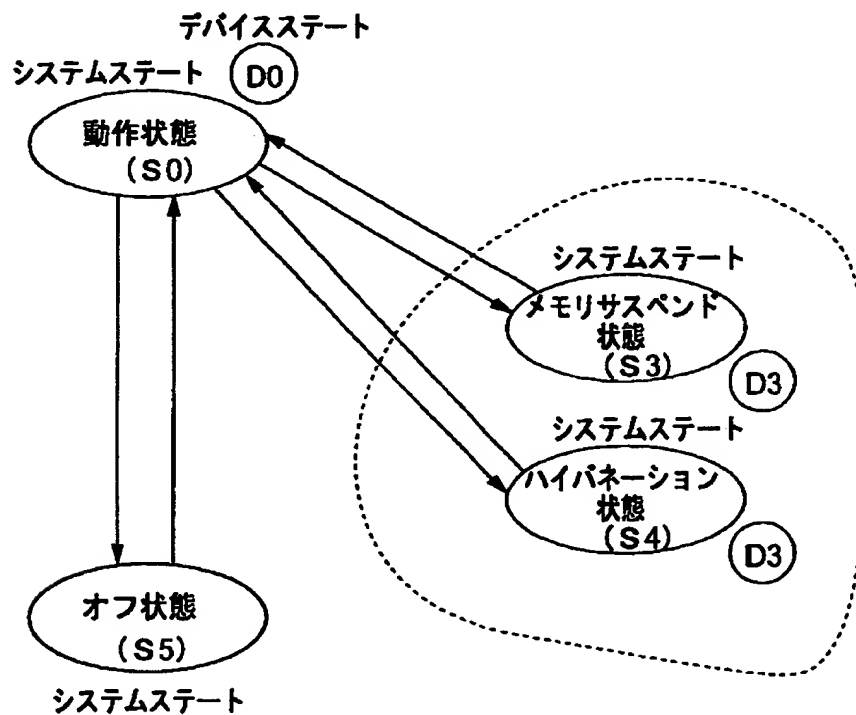
【図 2】



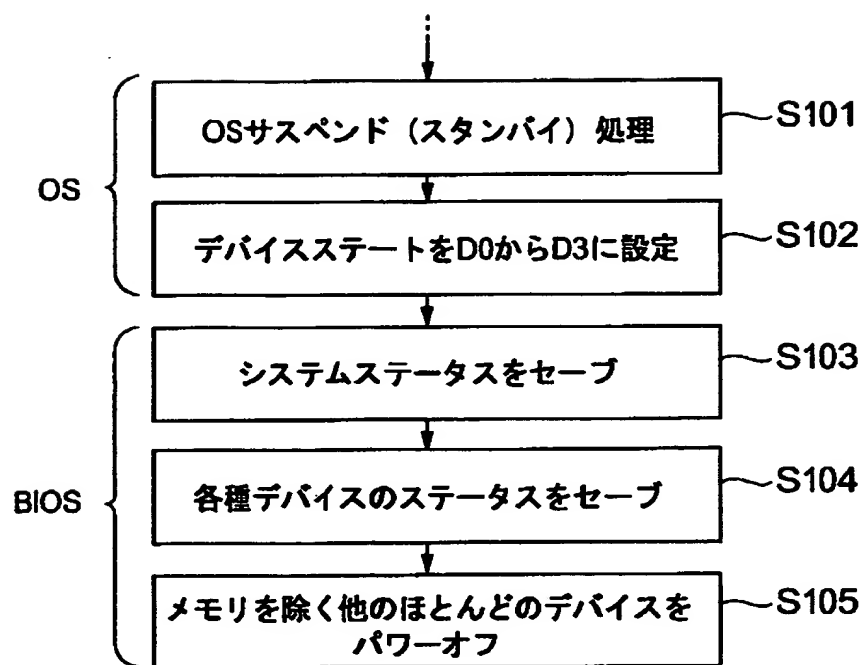
【図 3】



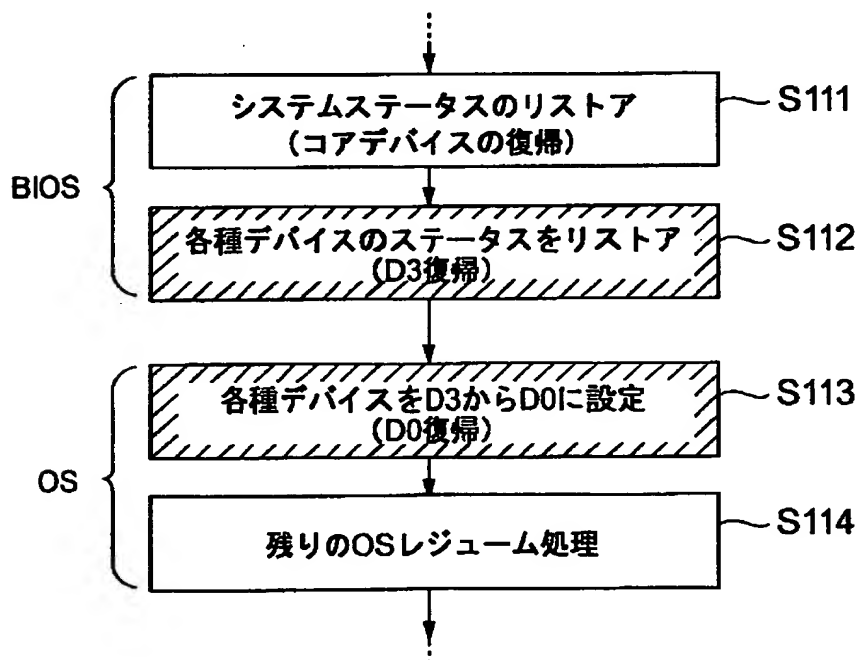
【図 4】



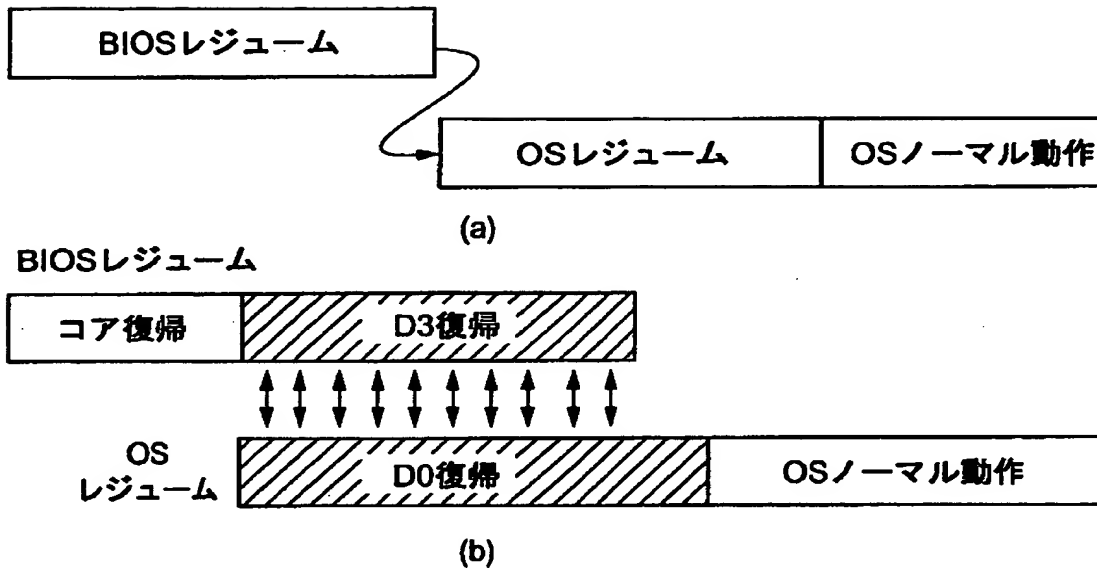
【図 5】



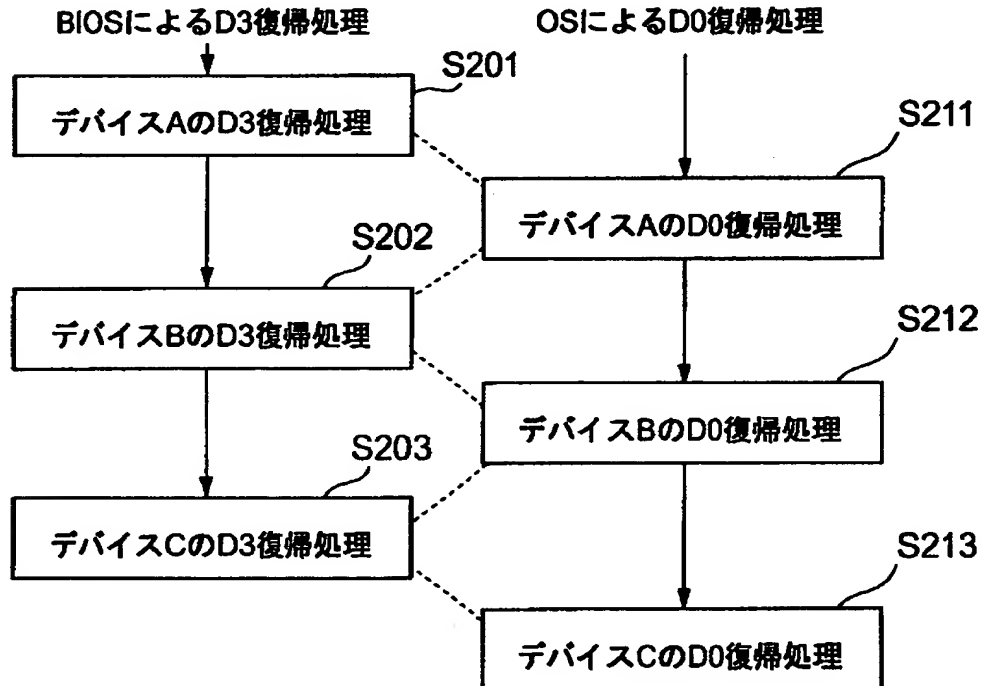
【図 6】



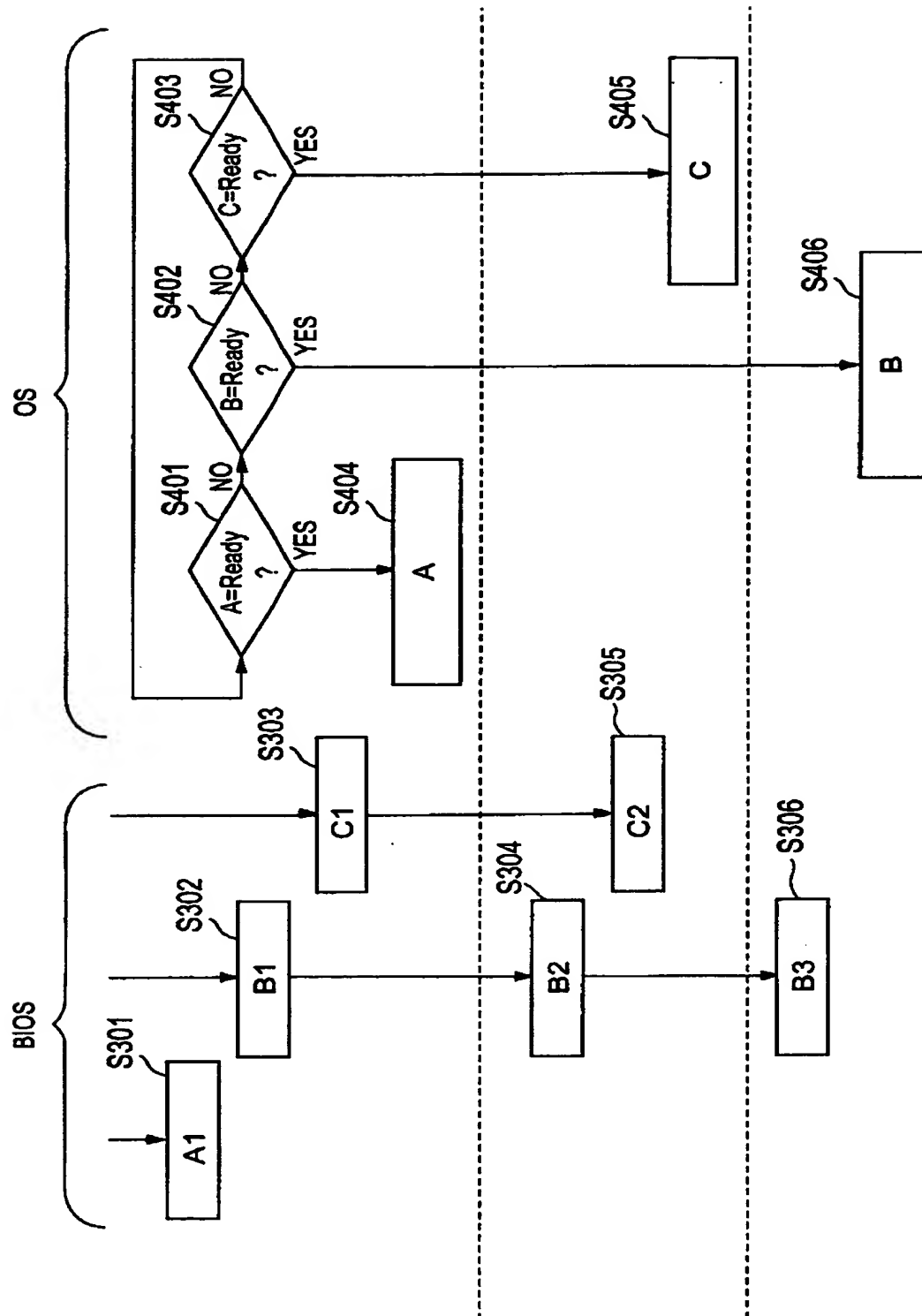
【図 7】



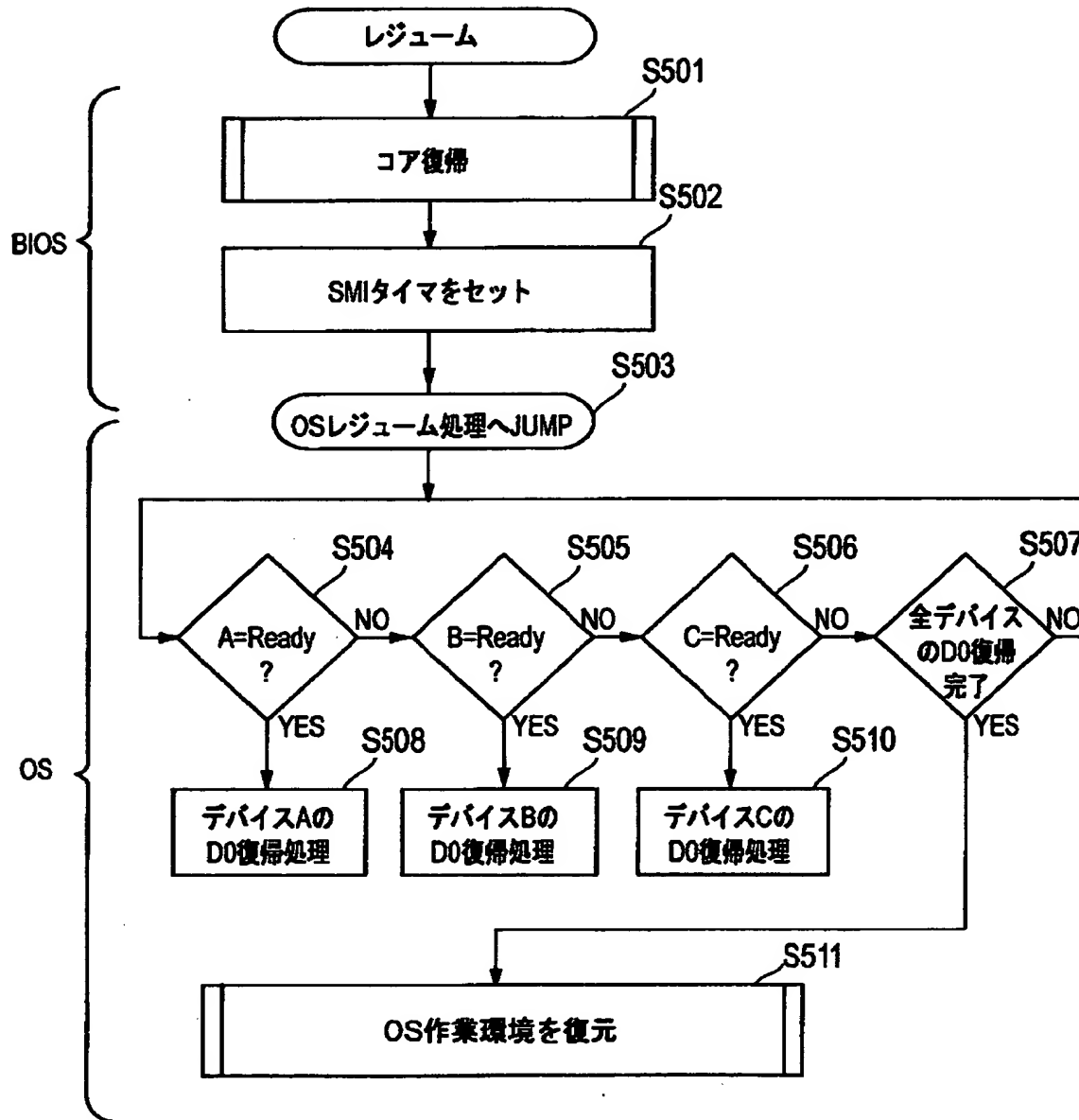
【図 8】



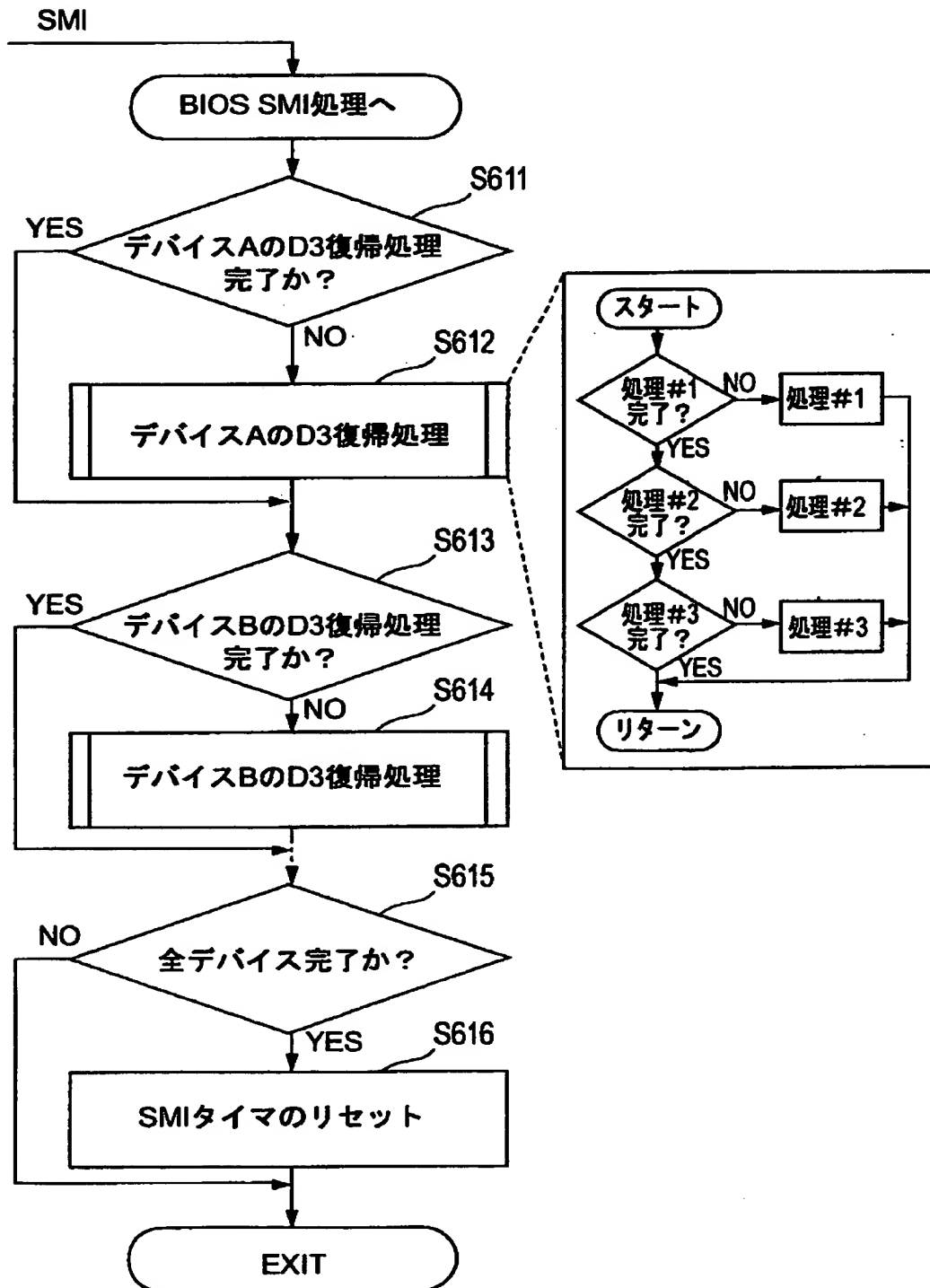
【図 9】



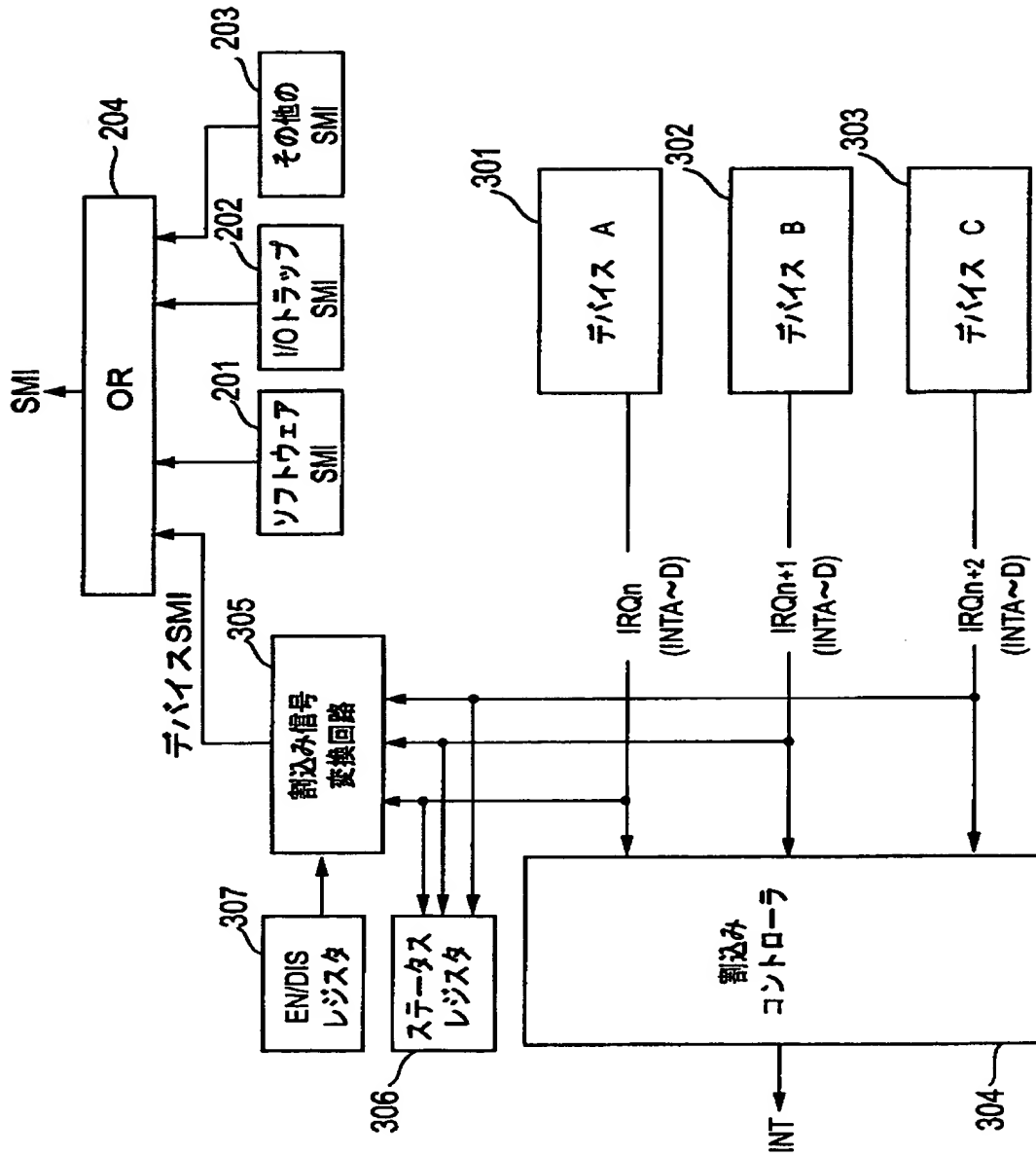
【図 1 0】



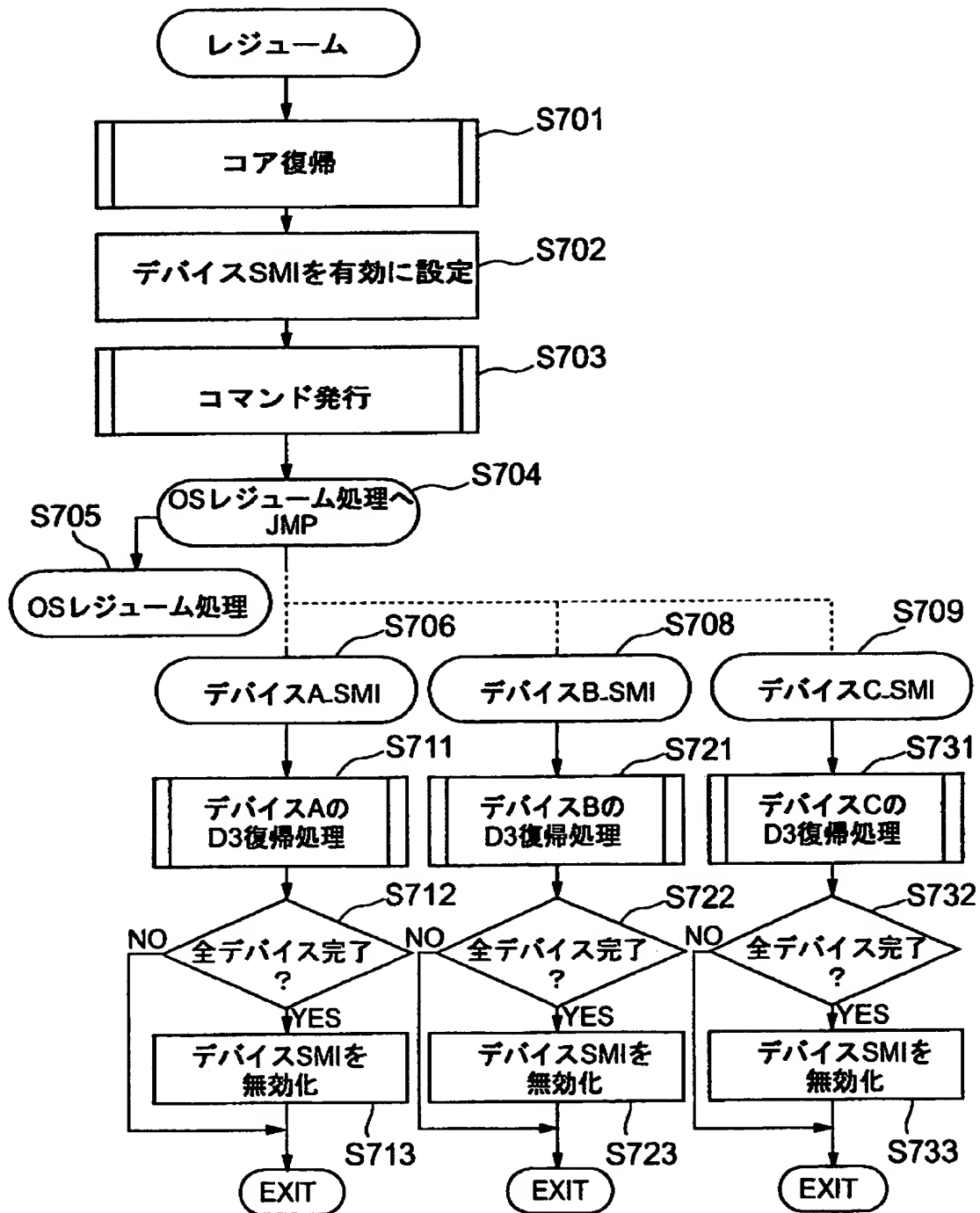
【図 11】



【図 1 2】



【図13】



【書類名】 要約書

【要約】

【課題】 レジューム処理を高速に実行できるようにし、サスペンドなどのパワーセーブモードからの復帰に要する時間の短縮化を図る。

【解決手段】 B I O S によるレジューム処理はコアデバイスの復帰処理と他の各デバイスに関する D 3 復帰処理とに分割され、コアデバイスの復帰処理が完了した時点で、O S によるレジューム処理が開始される。B I O S による D 3 復帰処理は、O S による D 0 復帰処理中にソフトウェア S M I を定期的に発行すること等によって割り込み処理の形式で実行される。これにより、D 3 復帰処理と D 0 復帰処理とが時分割的に交互に実行されることになり、全てのデバイスについての D 3 復帰処理が完了してから D 0 復帰処理に移行するという従来の順次処理に比べ、レジューム処理全体に要する時間を短縮することができる。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝